CMS24AD2001

用户手册

24-bit Sigma-Delta ADC

Rev. 1.12

请注意以下有关CMS知识产权政策

＊中微半导体（深圳）股份有限公司（以下简称本公司）已申请了专利，享有绝对的合法权益。与本公司MCU或其他产品有关的专利权并未被同意授权使用，任何经由不当手段侵害本公司专利权的公司、组织或个人，本公司将采取一切可能的法律行动，遏止侵权者不当的侵权行为，并追讨本公司因侵权行为所受的损失、或侵权者所得的不法利益。

＊中微半导体（深圳）股份有限公司的名称和标识都是本公司的注册商标。

＊本公司保留对规格书中产品在可靠性、功能和设计方面的改进作进一步说明的权利。然而本公司对于规格内容的使用不负责任。文中提到的应用其目的仅仅是用来做说明，本公司不保证和不表示这些应用没有更深入的修改就能适用，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。本公司的产品不授权适用于救生、维生器件或系统中作为关键器件。本公司拥有不事先通知而修改产品的权利，对于最新的信息，请参考官方网站 www.mcu.com.cn

目录

1. 芯片功能说明 3
1.1 功能特性 3
1.2 应用场合 3
1.3 芯片基本结构功能描述 4
1.4 芯片绝对最大极限值 4
1.5 数字逻辑特性 4
1.6 CMS24AD2001 电气特性 5
1.7 芯片引脚 6
2. 芯片功能模块描述 7
2.1 LDO 7
2.2 模拟输入前端 7
2.3 温度传感器 7
2.4 低噪声 PGA 放大器 7
2.5 ADC 时钟、数据输出速率 8
2.6 复位和休眠模式 9
2.7 建立时间 10
2.8 SPI 串口通信 11
2.8.1 数据格式 11
2.8.2 数据准备/数据输入输出（DRDYB/DOUT） 11
2.8.3 串行时钟输入（SCLK） 11
2.8.4 串行数据发送 12
2.8.5 功能配置 13
2.8.6 SPI 命令字说明 14
2.8.7 SPI 通信注意事项 14
2.9 相关寄存器 15
2.9.1 Sigma-Delta ADC 控制寄存器 1 15
2.9.2 Sigma-Delta ADC 控制寄存器 2 16
2.9.3 Sigma-Delta ADC 控制寄存器 3 17
2.9.4 Sigma-Delta ADC 控制寄存器 4 17
3. 芯片封装 18
3.1 SOP8 18
4. 版本修订说明 19

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

1. 芯片功能说明

CMS24AD2001 是一款高精度、低功耗模数转换芯片。可支持一路差分输入通道，内置一路线性稳压器（LDO）、温度传感器和高精度振荡器。LDO 可驱动 20mA 负载。CMS24AD2001 的 PGA 放大倍数可选：1、2、4、8、16、32、64、128、256。CMS24AD2001 正常模式下的 ADC 数据输出速率可选：2.5Hz-2.56KHz，默认为 5Hz。MCU 可以通过 2 线的 SPI 接口 SCLK、DRDYB/DOUT 与 CMS24AD2001 进行通信，对其进行配置，例如通道选择、PGA 放大倍数选择、输出速率选择等。

1.1 功能特性

- 内置 LDO
- 支持单路差分输入
- 内置振荡器
- 集成温度传感器
- 带休眠功能
- 2 线 SPI 接口，最快速率为 1.1MHz
- ADC 功能特性：
  - 24 位无失码；
  - PGA 放大倍数可选：1、2、4、8、16、32、64、128、256；
  - 输出速率（ODR）可选：2.5Hz-2.56KHz；
  - PGA=128、ODR=10Hz、SET_LDO=00 时，有效分辨率为 20.6 位；
  - PGA=128、ODR=10Hz、SET_LDO=00 时，等效输入噪声 30nVrms。

1.2 应用场合

- 电子秤
- 液体/气体化学分析
- 仪表测量
- 工业过程控制
- 传感器信号采集

1.3 芯片基本结构功能描述

CMS24AD2001 是一款高精度、低功耗 Sigma-Delta 模数转换芯片，内置一路 LDO，一路差分输入通道，Sigma-Delta ADC 和温度传感器。ADC 采用 Sigma-Delta 调制器，通过低噪声仪用放大器结构实现 PGA 放大，放大倍数可选：1、2、4、8、16、32、64、128、256。在 PGA=128，输出速率=10Hz 时，有效分辨率可达 20.6 位。

CMS24AD2001 内置振荡器，无需外置晶振。

CMS24AD2001 可以通过 DRDYB /DOUT 和 SCLK 进行多种功能模式的配置，例如用作温度检测、PGA 增益选择、ADC 数据输出速率选择等等。

CMS24AD2001 具有休眠模式。

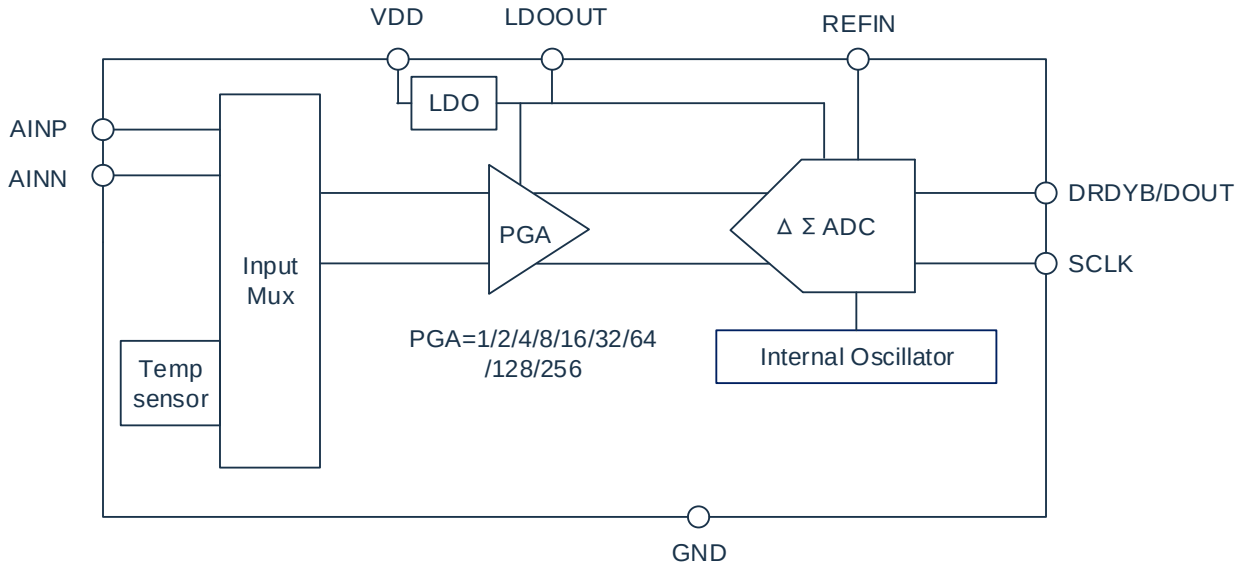


图 1-1：CMS24AD2001 原理框图

1.4 芯片绝对最大极限值

表 1-1：CMS24AD2001 极限值

名称	符号	最小值	最大值	单位
电源电压	VDD	-0.3	4.4	V
数字管脚输入电压	-	-0.3	VDD+0.3	V
工作温度	-	-40	85	℃

1.5 数字逻辑特性

表 1-2：CMS24AD2001 数字逻辑特性

参数	最小值	典型值	最大值	单位	条件
VIH	0.7xVDD	-	VDD+0.1	V	-
VIL	GND	-	0.3xVDD	V	-
VOH	VDD-0.4	-	VDD	V	-
VOL	GND	-	0.2xVDD	V	-
串口时钟 SCLK 工作频率	0.1	-	1.1	MHz	-

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

1.6 CMS24AD2001 电气特性

表 1-3-a：CMS24AD2001 电气特性

参数	最小值	典型值	最大值	单位	条件
模拟输入					
满幅差分输入电压	-REFIN/PGA	-	REFIN/PGA	V	-
共模输入电压	GND+0.75	-	VDD-1	V	-
差分输入阻抗	-	250	-	Mohm	-
系统性能					
分辨率	-	24	-	bits	无失码数据
输出速率	2.5	5	2.56K	Hz	-
建立时间	-	-	3	转换周期	全建立
等效输入噪声	-	30	-	nVrms	PGA=128, 10Hz, LDO=3V
有效分辨率	-	20.6	-	bits	PGA=128, 10Hz, LDO=3V
失调误差	-	2.5	10	uV	PGA=64,128
失调误差漂移	-	30	-	nV/℃	PGA=64,128
增益误差	-	±1.5	-	%	PGA=64,128
增益误差漂移	-	16	-	ppm/℃	PGA=64,128
参考电压输入	0.5	LDOOUT	LDOOUT	V	-
温感	-	±3	-	℃	-
带隙基准电压	-	1.24	-	V	VDD=3.3V
LDO 电气特性					
输出电压	-	3.07	-	V	SET_LDO[1:0]=00
	-	2.66	-	V	SET_LDO[1:0]=10
带载能力	-	20	-	mA	VDD=3.3V
电源电气特性					
电源电压	2.5	3.3	4.4	V	-
正常工作电流	-	1.68	-	mA	PGA=128
	-	0.83	-	mA	PGA=2
休眠模式电流	-	50	-	nA	-

表 1-3-b 是 CMS24AD2001 在不同的输出速率、不同的 PGA 增益条件下的有效分辨率（Effective Resolution）。测试条件：电源电压 3.3V，温度 27 度，LDO 设定为 3V 输出，参考电压为 LDO 输出电压，输入共模电压为 0.5 倍 LDO 输出电压，输入差分电压为 0V，单颗芯片每种设置下数据总量为 1000。

Effective Resolution=Log2 (2*REFIN /RMS_Noise)

表 1-3-b：CMS24AD2001 的有效分辨率

Effective Resolution	FADC	656K (FADC=1)							
	OSR	64	128	256	1024	4096	8192	16384	32768
	ODR (Hz)	2560	1280	640	160	40.0	20.0	10	5
PGA Gain	2 (0000b)	15.0	17.4	18.6	19.8	20.7	21.2	21.7	22.1
	4 (0001b)	15.0	17.2	18.5	19.6	20.5	21.2	21.7	22.1
	8 (0011b)	14.9	17.3	18.4	19.5	20.5	21.0	21.6	22.1
	16 (0100b)	15.1	17.3	18.4	19.5	20.5	21.2	21.6	22.1
	32 (0101b)	15.0	17.1	18.2	19.3	20.3	20.8	21.4	21.8
	64 (0110b)	15.1	17.2	18.1	19.3	20.3	20.8	21.3	21.8
	128 (0111b)	14.9	16.7	17.6	18.7	19.7	20.1	20.6	21.1
	256 (1000b)	14.8	16.0	16.7	17.8	18.8	19.2	19.8	20.3

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

1.7 芯片引脚

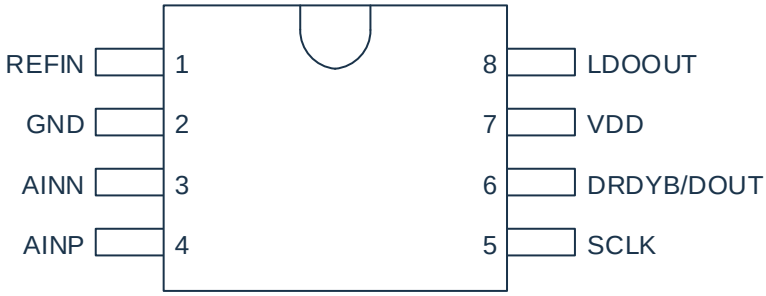


表 1-4：SOP8 引脚说明

引脚号	引脚名称	输入/输出	说明
1	REFIN	AI	基准输入，应不高于 LDOOUT 口电压
2	GND	P	地
3	AINN	AI	通道负输入
4	AINP	AI	通道正输入
5	SCLK	DI	SPI 时钟输入接口
6	DRDYB/DOUT	DI/DO	SPI 数据输入\输出接口
7	VDD	P	电源
8	LDOOUT	P	内部 LDO 输出，外接 1uF 以上电容

2. 芯片功能模块描述

2.1 LDO

CMS24AD2001 中有 1 路 LDO 为片内模拟模块供电，同时也可以为片外电路提供 20mA 电流。LDOOUT 端口需外接至少 1uF 电容。可以通过配置 SEL_LDO[1:0]来设置 LDO 输出不同的输出电压，可以选择 2.4V、2.6V、3V、3.3V。也可以通过设置 BYPASSLDO 来配置 LDO 工作为开关状态或者线性稳压状态。当芯片进入休眠模式时，LDO 的输出降至 0V。

2.2 模拟输入前端

CMS24AD2001 中有 1 路 ADC，集成了 1 路差分输入，信号输入可以是差分输入信号 AINP、AINN，也可以是温度传感器的输出信号。输入信号的切换由寄存器 CH_SEL[2:0]控制。

2.3 温度传感器

芯片内部提供温度测量功能。建议采用 PGA 增益 8，ADC 速度为 640Hz 的配置。温度传感器需要进行单点校正。校正方法：在某个温度点 A 下，使用温度传感器进行测量得到码值 Ya。那么其他温度点 B 对应的温度= Yb*(273.15+A)/Ya-273.15。A 温度单位是摄氏度。Ya 是 A 点对应温度码值。Yb 是 B 点对应温度码值。

对于参考电压可能变化的应用场合（如 Ratio Metric 测量，参考电压的绝对值不重要），可选择通过测量 BG 间接测量出实时的参考电压，进而计算出实时的温度。

2.4 低噪声 PGA 放大器

CMS24AD2001 提供了一个基于斩波技术的低噪声、低漂移的 PGA 放大器与桥式传感器差分输出连接，通过 PGA_SEL[3:0] 来配置 2 、4、8、16、32、64 、128、256 等不同的 PGA 。当使用 PGA=2，4，8 时，第一级低噪声 PGA 放大器会被关断以节省功耗。当使用低噪声 PGA 放大器时，输入范围在 GND+0.75V 到 VDD-1V 之间，超出这个范围，会导致实际性能下降。当模拟输入跳过 PGA，直接输入至 ADC 时，增益为 1。

2.5 ADC 时钟、数据输出速率

CMS24AD2001 使用内部时钟来提供系统所需要的时钟频率，可通过 FADC 选择 328KHz 或者 656KHz。ADC 的输出速率可以通过 FADC、OSR[2:0]进行配置。建议将芯片工作在 656KHz 模式。

表 2-1：时钟、输出速率、斩波频率

FADC	OSR[2:0]	输出速率	ADC 时钟
0	111	2.5Hz	328KHz
0	110	5Hz	328KHz
0	101	10Hz	328KHz
0	100	20Hz	328KHz
0	011	80Hz	328KHz
0	010	320Hz	328KHz
0	001	640Hz	328KHz
0	000	1.28KHz	328KHz
1	111	5Hz	656KHz
1	110	10Hz	656KHz
1	101	20Hz	656KHz
1	100	40Hz	656KHz
1	011	160Hz	656KHz
1	010	640Hz	656KHz
1	001	1.28KHz	656KHz
1	000	2.56KHz	656KHz

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

2.6 复位和休眠模式

当芯片上电时，内置上电复位电路会产生复位信号，使芯片自动复位。当 SCLK 从低电平变高电平并保持在高电平超过 100us，CMS24AD2001 即进入休眠模式，此时功耗低于 50nA。当 SCLK 重新回到低电平时，芯片会重新进入正常工作状态。当系统由休眠重新进入正常工作模式时，此时所有功能配置为休眠之前的状态，不需要进行功能配置。

休眠模式示意图如下图所示。其中 t00 表示 SCLK 高电平保持时间，最小为 100us；t01 表示 SCLK 下降后低电平保持时间，最小为 10us。

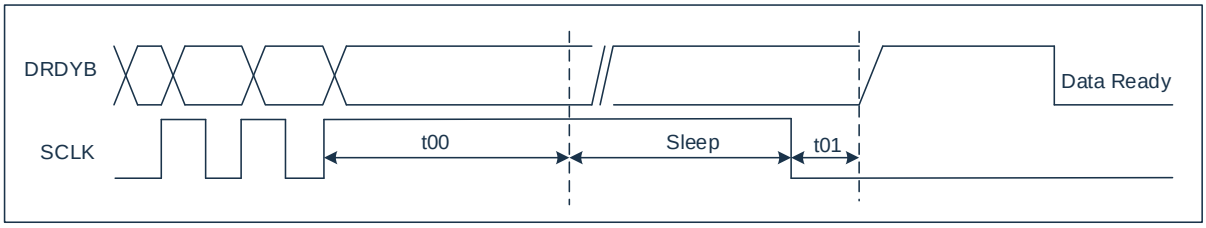


图 2-1：休眠模式示意图

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

2.7 建立时间

CMS24AD2001 的建立时间均为 3 个转换周期。

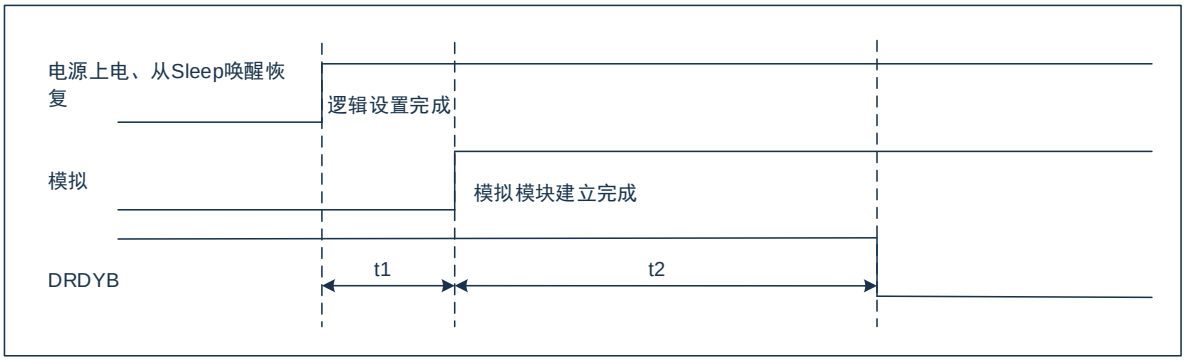


图 2-2：数据建立过程 1

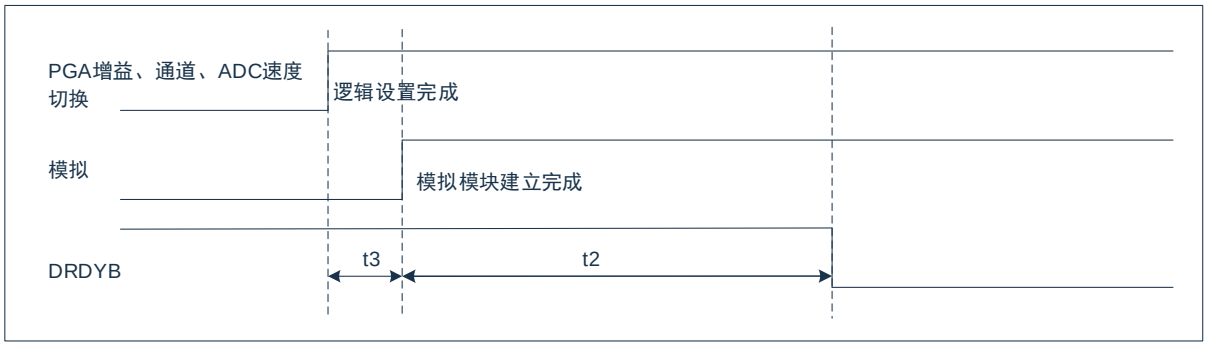


图 2-3：数据建立过程 2

表 2-2：建立时间

参数	描述	最小值	典型值	最大值	单位
建立时间					
t1	上电、从休眠唤醒恢复	-	0.4	-	ms
t2	数据建立时间	-	3	-	转换周期
t3	PGA、通道、ADC 速度切换后恢复时间	-	0.8	-	us

2.8 SPI 串口通信

CMS24AD2001 中采用 2 线 SPI 串行通信，通过 SCLK 和 DRDYB/DOUT 可以实现数据的接收以及功能配置。

2.8.1 数据格式

CMS24AD2001 输出的数据为数字输出码为 24 位的 2 进制补码，其中 B23 为符号位，0 为正，1 为负。最高位（MSB）最先输出。下表为不同模拟输入信号对应的理想输出码。

表 2-3：数据格式

模拟输入电压	数据																							十进制码	十六进制码
	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		B[23:0]
Vref-1LSB	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	8388607	7FFFFF
2LSB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	2	000002
1LSB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	000001
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	000000
-1LSB	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-1	FFFFFF
-2LSB	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	-2	FFFFFE
-Vref	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-8388608	800000

2.8.2 数据准备/数据输入输出（DRDYB/DOUT）

DRDYB/DOUT 引脚有 4 个用途。第一，当输出为低时，表示新的数据已经转换完成；第二，作为数据输出引脚，当数据准备好后，在第 1 个 SCLK 的上升沿后，DRDYB/DOUT 输出转换数据的符号位。在每一个 SCLK 的上升沿，数据会自动移 1 位。在 24 个 SCLK 后将所有的 24 位数据读出，如果这时暂停 SCLK 的发送，DRDYB/DOUT 会保持最后一位的数据，直到下一个数据准备好之前拉高，此后当 DRDYB/DOUT 被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取；第三，在第 25、26 个 SCLK 时，输出寄存器状态更新标志；第四，作为寄存器数据写入或读出引脚，当需要配置寄存器或读取寄存器值时，SPI 需要发送 46 个 SCLK，根据 DRDYB/DOUT 输入的命令字，判断是写寄存器操作还是读寄存器操作。

2.8.3 串行时钟输入（SCLK）

串行时钟输入 SCLK 是一个数字引脚。这个信号应保证是一个干净的信号，毛刺或慢速的上升沿都会可能导致读取错误数据或误入错误状态。因此，应保证 SCLK 的上升和下降时间都小于 50ns。

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

2.8.4 串行数据发送

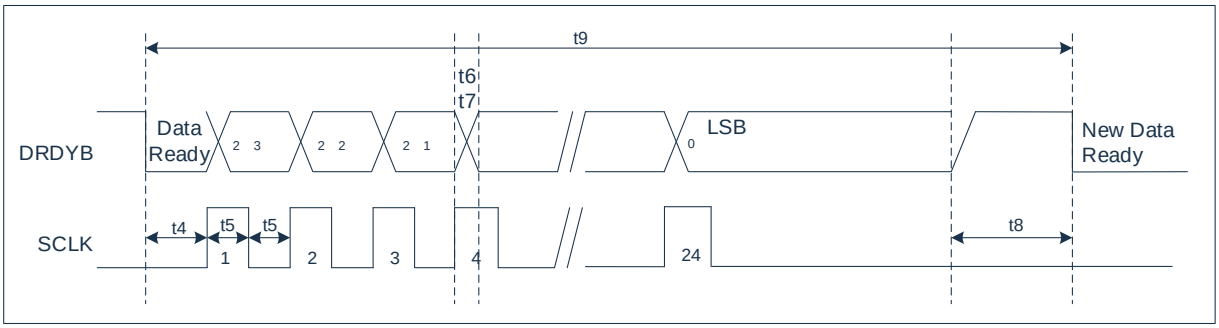


图 2-4：读取数据时序图 1

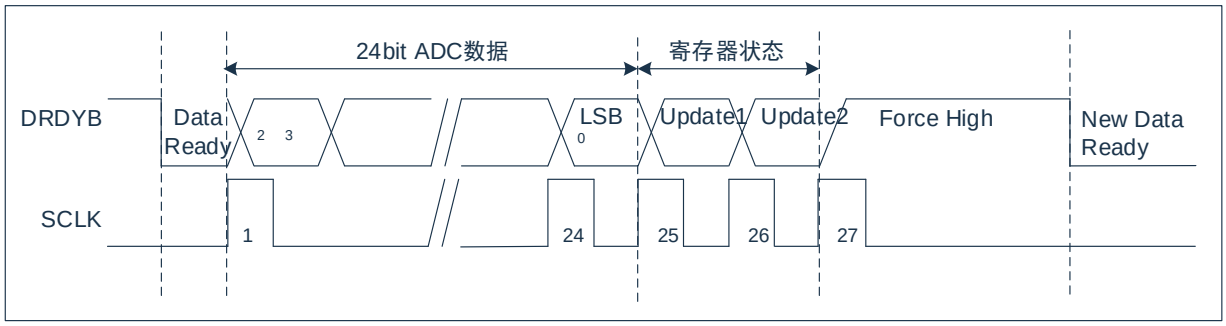


图 2-5：读取数据时序图 2

CMS24AD2001 可以持续的转换模拟输入信号，当将 DRDYB/DOUT 拉低后，表明数据已经准备好接受，输入的第一个 SCLK 来就可以将输出的最高位读出，在 24 个 SCLK 后将所有的 24 位数据读出，如果这时暂停 SCLK 的发送，DRDYB/DOUT 会保持最后一位的数据，直到其被拉高，如图 2-4 所示时序图 1。

如果是持续发送 SCLK，则第 25 和 26 个 SCLK 输出配置寄存器是否有写操作标志，第 25 个 SCLK 对应的 DRDYB/DOUT 为 1 时表明配置寄存器 Config 被写入了新的值，第 26 个 SCLK 对应的 DRDYB/DOUT 为芯片扩展保留位，目前输出一直为 0，通过第 27 个 SCLK 可以将 DRDYB/DOUT 拉高，此后当 DRDYB/DOUT 被再次拉低，表示新的数据已经准备好接受，进行下一个数据的转换。其基本时序如图 2-5 时序图 2 所示。

表 2-4：读取数据时间表

参数	描述	最小值	典型值	最大值	单位
t4	DRDYB/DOUT 变低后到第一个 SCLK 上升沿	-	2	-	ns
t5	SCLK 高电平或低电平脉宽	455	-	-	ns
t6	SCLK 上升沿到新数据有效（传输延迟）	455	-	-	ns
t7	SCLK 上升沿到旧数据位有效(保持时间)	-	-	455	ns
t8	数据更新，不允许读之前的数据	-	26	-	us
t9	转换时间，10Hz	-	100	-	ms
	转换时间，40Hz	-	25	-	ms
	转换时间，640Hz	-	1.5625	-	ms

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

2.8.5 功能配置

CMS24AD2001 可以通过 SCLK 和 DRDYB/DOUT 可以对寄存器进行读取和配置，功能配置时序**图 2-6** 所示：

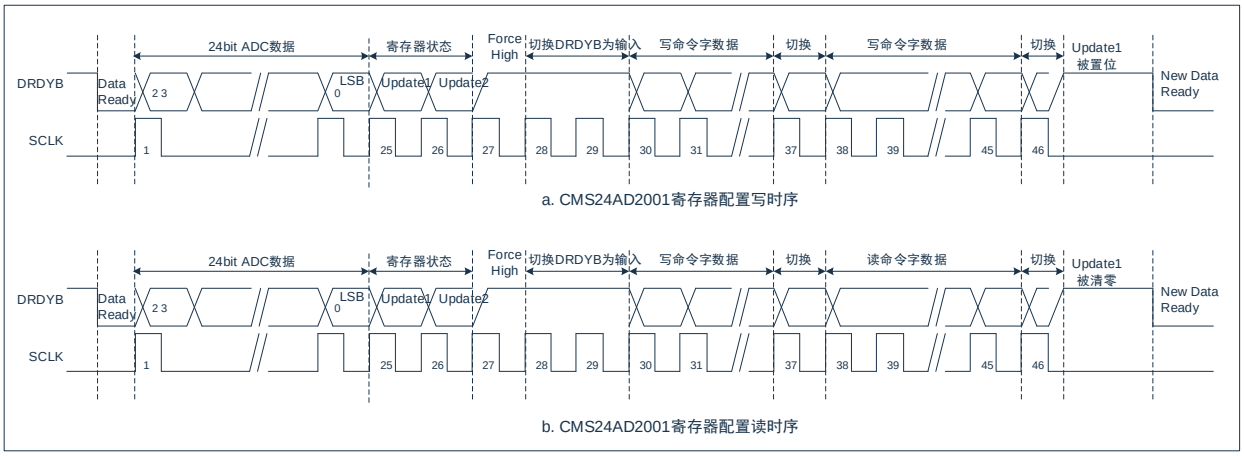


图 2-6：功能配置时序图 3

功能配置过程简述，判断到 DRDYB/DOUT 由高变低之后：

1) 第 1 个到第 24 个 SCLK，读取 ADC 数据。如果不需要配置寄存器或者读取寄存器，可以省略下面的步骤。
2) 第 25 个到第 26 个 SCLK，读取寄存器写操作状态。
3) 第 27 个 SCLK，芯片把 DRDYB/DOUT 输出拉高。
4) 第 28 个到第 29 个 SCLK，切换 DRDYB/DOUT 为输入。
5) 第 30 个到第 36 个 SCLK，输入寄存器写或读命令字数据(高位先输入)。
6) 第 37 个 SCLK，切换 DRDYB/DOUT 的方向（如果是写寄存器，DRDYB/DOUT 为输入；如果是读寄存器，DRDYB/DOUT 为输出)。
7) 第 38 个到第 45 个 SCLK，输入寄存器配置数据或输出寄存器配置数据(高位先输入/输出)。
8) 第 46 个 SCLK，切换 DRDYB/DOUT 为输出，并把 DRDYB/DOUT 拉高。update1/ update2 被置位或清零。

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

2.8.6 SPI 命令字说明

CMS24AD2001 有 8 个命令字，命令字的长度为 7bits，命令字的说明如下：

表 2-5：SPI 命令字说明

名称	命令字（控制字）	功能	备注
SDADCCON1	0x65	写 SDADCCON1	需 SPI 通信实现寄存器配置
	0x56	读 SDADCCON1	需 SPI 通信实现寄存器配置
SDADCCON2	0x69	写 SDADCCON2	需 SPI 通信实现寄存器配置
	0x5A	读 SDADCCON2	需 SPI 通信实现寄存器配置
SDADCCON3	0x6D	写 SDADCCON3	需 SPI 通信实现寄存器配置
	0x5E	读 SDADCCON3	需 SPI 通信实现寄存器配置
SDADCCON4	0x61	写 SDADCCON4	需 SPI 通信实现寄存器配置
	0x52	读 SDADCCON4	需 SPI 通信实现寄存器配置

2.8.7 SPI 通信注意事项

如前所述，CMS24AD2001 可以有三类通信时序，分别为：

时序 1：读取 24 位 ADC 转换数据

时序 2：读取 24 位 ADC 转换数据+寄存器状态

时序 3：读取 24 位 ADC 转换数据+寄存器状态+读写控制字

发送三类时序时需注意：

1) 读取的数据是发送时序前最后一次 ADC 转换完成的结果；
2) 需判断 DRDYB 产生了下降沿后，再发送时钟；
3) 发送任何时序时，从 DRDYB 下降沿到数据全部发送完成的时间小于一个转换时间（即在两次下降沿之间完成时序发送），否则将造成 DRDYB 异常，需进入休眠态后方可恢复。

2.9 相关寄存器

2.9.1 Sigma-Delta ADC 控制寄存器 1

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SDADCCON1	SET_LDO_1	SET_LDO_0	OSR_2	OSR_1	--	PGA_SEL2	PGA_SEL1	PGA_SEL0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	1	1	0	1	1	0

Bit7~Bit6 SET_LDO<1:0>: LDO 输出电压控制；
00= 3V；
01= 2.4V；
10= 2.6V；
11= 3.3V。

Bit5~Bit4 OSR<2:1>: OSR设置（转换速率相关）；
000= 64；
001= 128；
010= 256；
011= 1024；
100= 4096；
101= 8192；
110= 16384；
111= 32768。

Bit3 --: 保留，须为0。

Bit2~Bit0 PGA_SEL<2:0>: PGA增益；
000= 2；
001= 4；
010= 8；
011= 16；
100= 32；
101= 64；
110= 128；
111= 256。

2.9.2 Sigma-Delta ADC 控制寄存器 2

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SDADCCON2	CHSEL2	CHSEL1	SHSEL0	LPWR	FADC	OSR_0	ENCHOPB	FCHOP_ADC
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	1	0	0	0	0

Bit7~Bit5 CHSEL<2:0>: 通道选择；
000= 通道1；
001= 通道1 正负交换（系统斩波）；
010= 温度；
011= 内短；
100= 通道1 直通ADC 并关PGA；
101= 通道1 直通ADC 并关PGA；
110= BG；
111= 内短直通ADC。

Bit4 LPWR: 功耗选择；
0= 最低功耗；
1= 正常功耗。

Bit3 FADC: Sigma-Delta ADC系统时钟；
0= 328KHz；
1= 656KHz（推荐）。

Bit2 OSR_0: OSR LSB。

Bit1 ENCHOPB: ADC斩波使能；
0= 打开斩波功能；
1= 关闭斩波功能。

Bit0 FCHOP_ADC: ADC 斩波分频控制；
0= 16 分频；
1= 32分频。

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

2.9.3 Sigma-Delta ADC 控制寄存器 3

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SDADCCON3	--	--	--	--	--	BYPASSLDO	OCP_DIS_LDO	--
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	0	1	0	0	0

Bit7~Bit4 --: 保留，须为1000。

Bit3 --: 保留，须为1。

Bit2 BYPASSLDO: LDO Bypass控制；

0= LDO输出；

1= Bypass LDO，输出VDD。

Bit1 OCP_DIS_LDO: LDO 输出过流保护使能控制；

0= 使能；

1= 关闭。

Bit0 --: 保留，须为0。

2.9.4 Sigma-Delta ADC 控制寄存器 4

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SDADCCON4	--	--	--	--	--	--	FCHOP_1	FCHOP_0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	1

Bit7~Bit4 --: 保留，须为1000。

Bit3-Bi2 --: 保留，须为00。

Bit1-Bit0 FCHOP<1:0>: PGA斩波分频控制；

00= 4 分频；

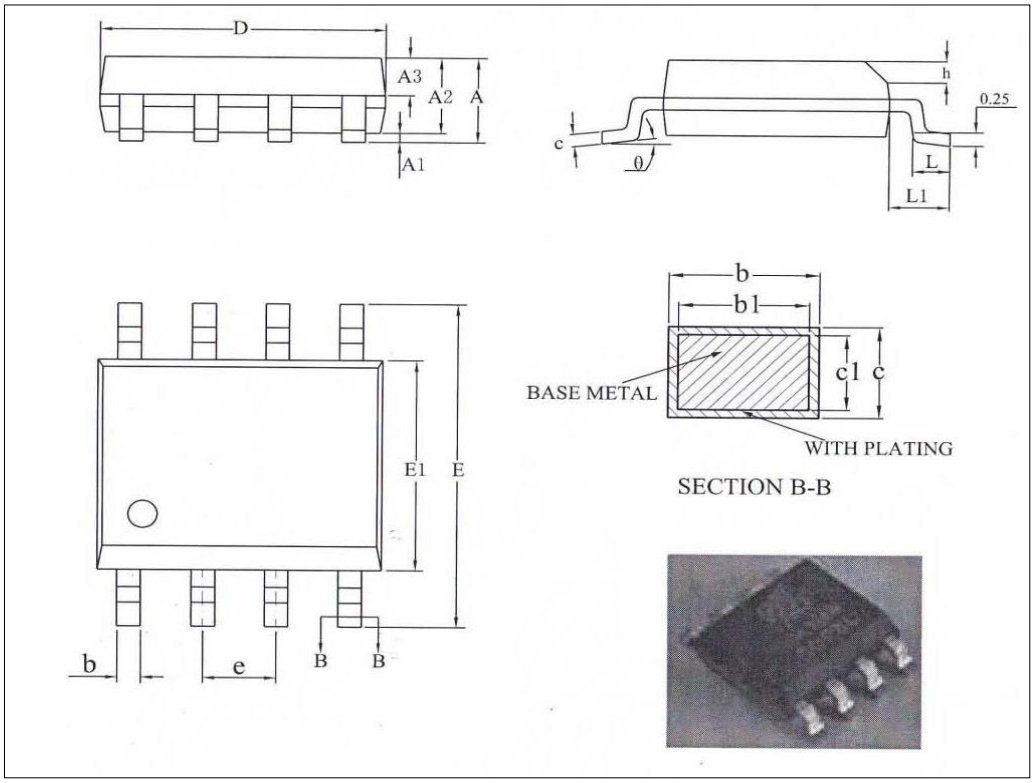
01= 8分频；

10= 16分频；

11= 32分频。

3. 芯片封装

3.1 SOP8



Symbol	Millimeter		
	Min	Nom	Max
A	-	-	1.75
A1	0.10	-	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	-	0.47
b1	0.38	0.41	0.44
c	0.20	-	0.24
c1	0.19	0.20	0.21
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	-	0.50
L	0.5	-	0.80
L1	1.05REF		
θ	0	-	8°

深圳市满度科技有限公司
Web:www.manduic.com
Tel:150-1290-5940
Email:sales@manduic.com

4. 版本修订说明

版本号	时间	修改内容
V1.00	2021 年 9 月	初始版本
V1.10	2021 年 12 月	AD2001 仅支持单通道，删除双通道相关内容
V1.11	2022 年 1 月	修改一些寄存器的描述等
V1.12	2022 年 3 月	修改一些文字表达